

Aula 13

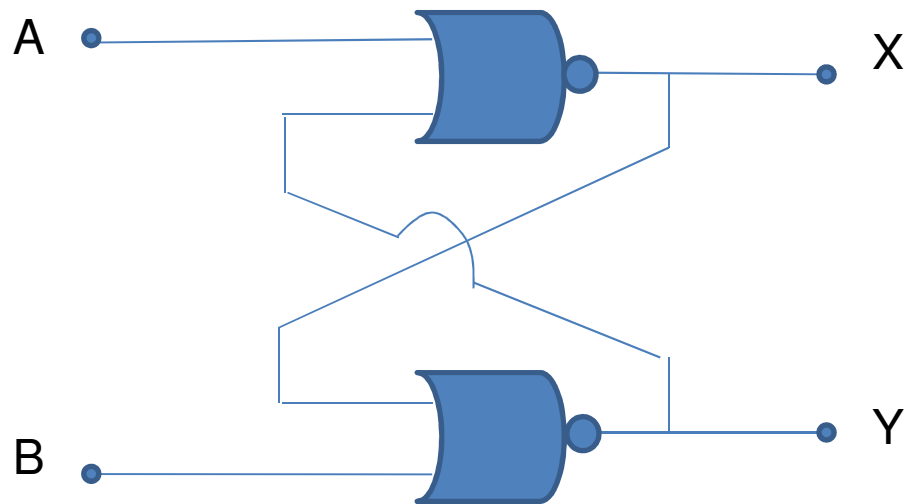
Digital IV

Lógica sequencial

Unidade básica:

- “flip-flop” (multivibrador biestável)

Exemplo: **SR flip-flop (Set-Reset)**



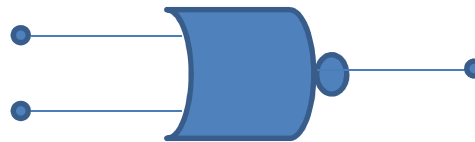
In OUT

A	B	X	Y
0	0	0	1
		1	0
0	1	1	0
1	0	0	1
1	1	X	X

X - Desabilitado

Revisão:

• NOR → $Y = \overline{A + B}$



A	B	Y
0	0	1
0	1	0
1	0	0
1	1	0

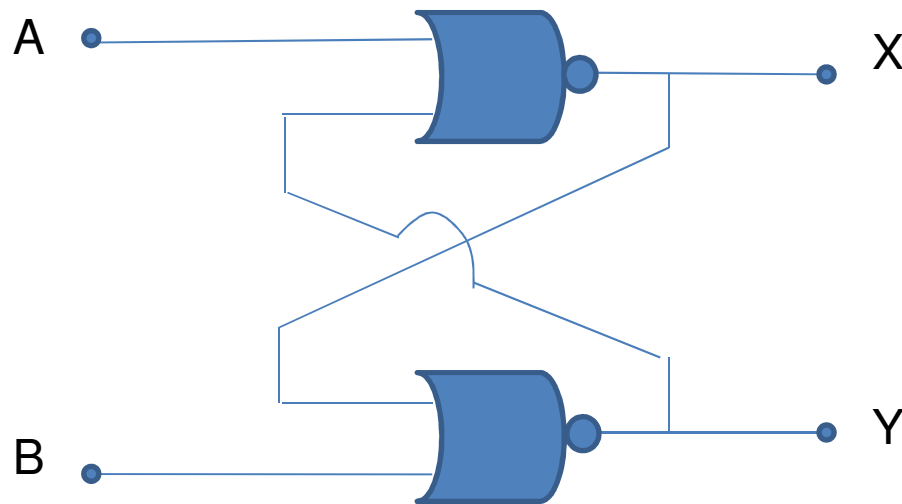
4001

Lógica sequencial

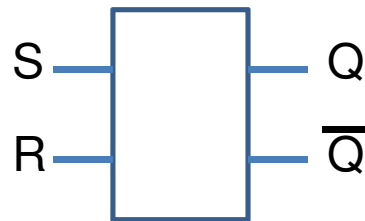
Unidade básica:

- “flip-flop” (multivibrador biestável)

Exemplo 1: **SR flip-flop (Set-Reset)**



Símbolo do circuito:



In OUT

A	B	X	Y
0	0	0	1
		1	0
0	1	1	0
1	0	0	1
1	1	X	X

X - Desabilitado

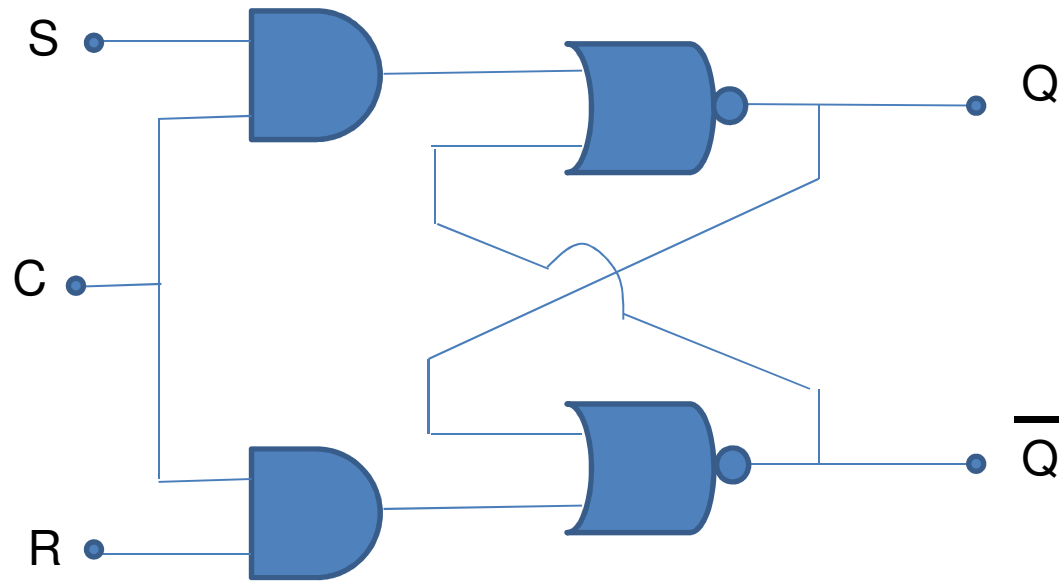
Supérfluo

R	S	Q_n	$\overline{Q}$
0	0	Q_{n-1}	$\overline{Q}_{n-1}$
0	1	1	0
1	0	0	1
1	1	X	X

Com $S = R = 0$, Q lembra qual entrada (R ou S) esteve em 1 mais recentemente

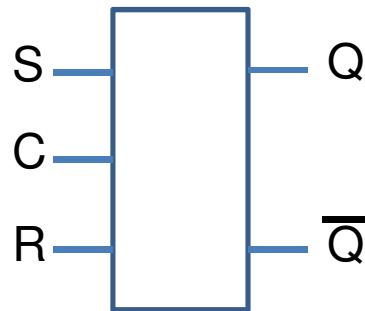
Lógica sequencial

Exemplo 2: Clocked SR flip-flop



R	S	C	Q_n
0	0	1	Q_{n-1}
0	1	1	1
1	0	1	0
1	1	1	Desabilitado
X	X	0	Q_{n-1}

Símbolo do circuito:



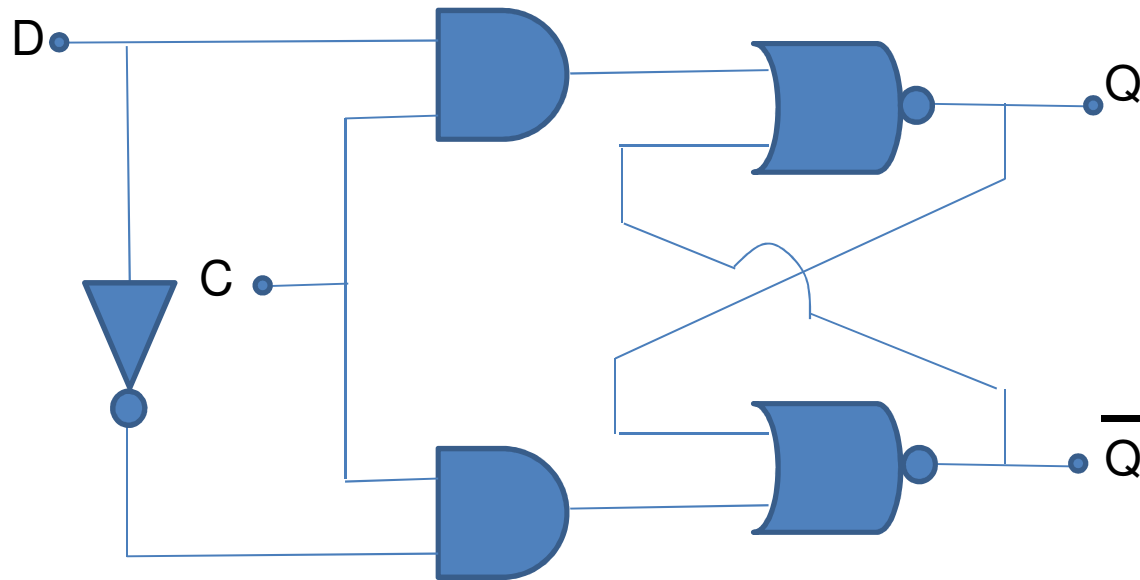
Obs: AND

A	B	Y
0	0	0
0	1	0
1	0	0
1	1	1

Obs: o sistema não pode mudar mais rápido do que o clock.

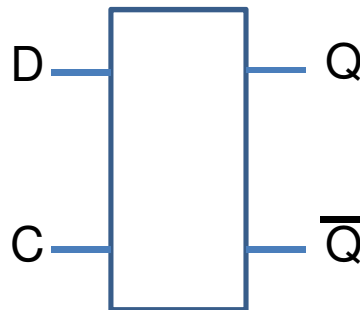
Lógica sequencial

Exemplo 3: D-FF



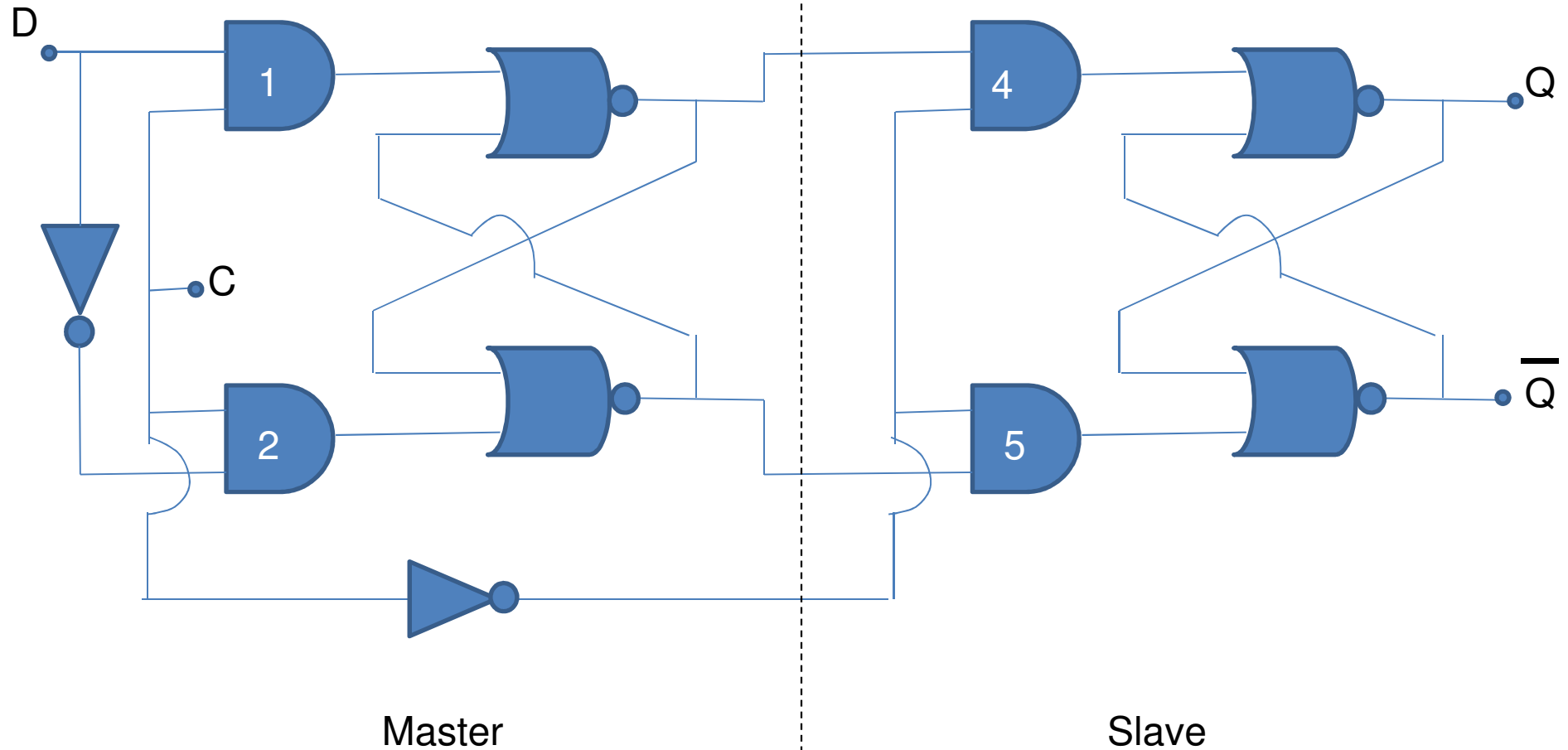
D	C	Q	
0	1	1	Set
1	1	0	Reset
X	0	Q_{n-1}	Sem mudança

Símbolo do circuito:



Lógica sequencial

Exemplo 4: D-FF



Dados de entrada D são transferidos logo depois do pulso do clock

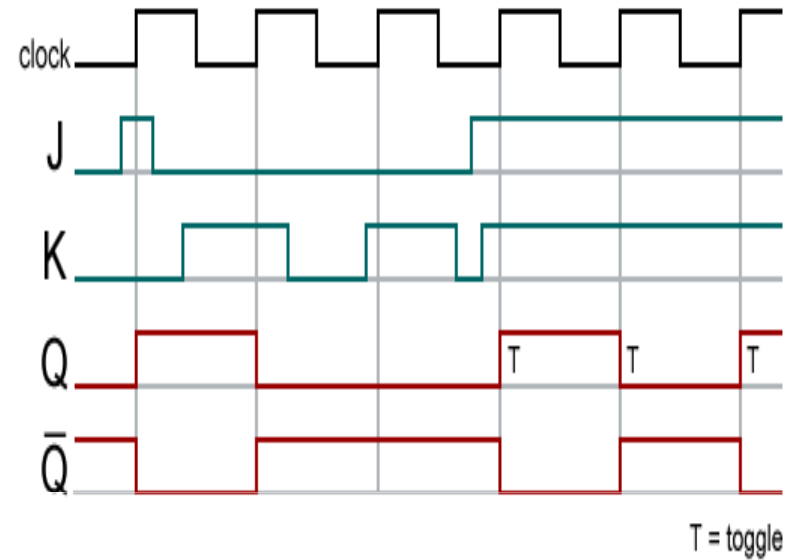
- 1) Quando o clock está em 0 nada acontece.
- 2) Quando o clock está em 1 os gates 1 e 2 são habilitados
- 3) Quando o clock volta para 0 os gates 1 e 2 são desabilitados e os gates 5 e 6 habilitados

Neste momento o “master” transmite a informação para o “slave”.

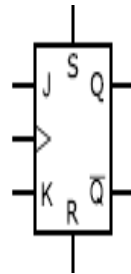
Lógica sequencial

Exemplo 5: JK-FF

J	K	Q_n
0	0	Q_{n-1}
0	1	0
1	0	1
1	1	$\overline{Q}_{n-1}$



Símbolo do circuito:



Obs: Divisor de frequência por 2

Lógica sequencial

Atividade:

- 1) Verificação da tabela verdade DD-FF
- 2) Verificação da tabela verdade JK-FF
- 3) Operação com um operador 4029B